

XA-9960
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Toshikazu ISHIKAWA et al.

Appln. No.: 10/698,410

Group Art Unit: 2811

Filed: November 3, 2003

For: SEMICONDUCTOR DEVICE

* * *

CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

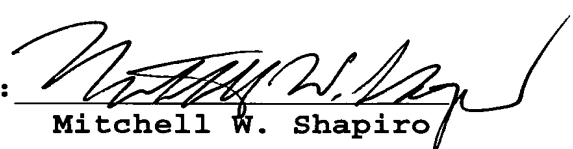
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicants hereby claim the priority of Japanese
Patent Application No. 2003-065891 filed March 12, 2003,
and submit herewith a certified copy of said application.

Respectfully submitted,

By:


Mitchell W. Shapiro
Reg. No. 31,568

MWS:sjk

Miles & Stockbridge P.C.
1751 Pinnacle Drive
Suite 500
McLean, Virginia 22102-3833
(703) 903-9000

April 8, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 1 2 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 6 5 8 9 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 6 5 8 9 1]

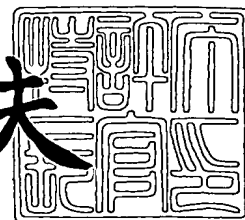
出 願 人 株式会社ルネサステクノロジ
Applicant(s):



2 0 0 3 年 1 0 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 H02017221

【提出日】 平成15年 3月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/60
H01L 25/08
H01L 23/52

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 石川 智和

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 内藤 孝洋

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 黒田 宏

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 林 義成

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 (a) 第 1 面と前記第 1 面に対向する第 2 面とを有し、前記第 1 面の第 1 領域に第 1 パッドが形成され、前記第 1 領域を囲む第 2 領域に第 2 パッドが形成された配線基板と、

(b) その表面にバンプ電極が形成され、前記第 1 パッドと前記バンプ電極が電氣的に接続されるように、前記配線基板の前記第 1 領域上に搭載されたマイコンチップと、

(c) その表面に第 3 パッドが形成され、前記マイコンチップの裏面上に搭載され、前記第 3 パッドが前記第 2 パッドと導電性のワイヤを用いて接続されたメモリチップと、

を有することを特徴とする半導体装置。

【請求項 2】 前記第 3 パッドの数より前記バンプ電極の数の方が多いことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記配線基板はビルドアップ基板であることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記第 1 パッドもしくは前記第 2 パッドの最短のピッチは、 $65\mu\text{m}$ 以下であることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 (a) 第 1 面と前記第 1 面に対向する第 2 面とを有し、前記第 1 面の第 1 領域に第 1 パッドが形成され、前記第 1 領域を囲む第 2 領域に第 2 パッドが形成された配線基板と、

(b) その表面にバンプ電極が形成され、前記第 1 パッドと前記バンプ電極が電氣的に接続されるように、前記配線基板の前記第 1 領域上に搭載されたマイコンチップと、

(c) 前記マイコンチップの裏面上に搭載された第 1 および第 2 メモリチップであって、

(c 1) 前記第 1 メモリチップは、その表面に第 3 パッドが形成され、

(c 2) 前記第 2 メモリチップは、その表面に第 4 パッドが形成され、

(c 3) 前記第 3 および第 4 パッドは、前記第 2 パッドと導電性のワイヤを用いて接続されていることを特徴とする半導体装置。

【請求項 6】 前記第 3 および第 4 パッドの数の和より前記バンプ電極の数の方が多きことを特徴とする請求項 5 記載の半導体装置。

【請求項 7】 前記配線基板はビルドアップ基板であることを特徴とする請求項 5 記載の半導体装置。

【請求項 8】 前記第 1 パッドもしくは前記第 2 パッドの最短のピッチは、 $65\mu\text{m}$ 以下であることを特徴とする請求項 5 記載の半導体装置。

【請求項 9】 前記マイコンチップにより前記第 1 および第 2 メモリチップが制御されていることを特徴とする請求項 5 記載の半導体装置。

【請求項 10】 (d) 前記マイコンチップの第 1 方向の幅は、前記第 1 および第 2 メモリチップの前記第 1 方向の幅の和より小さく、

前記マイコンチップは、前記第 1 方向と直行する第 2 方向に延在する一組の辺を有しており、

前記第 1 メモリチップは、前記一組の辺のうち、一方の辺から外側にはみ出しており、

前記第 2 メモリチップは、前記一組の辺のうち、他方の辺から外側にはみ出していることを特徴とする請求項 5 記載の半導体装置。

【請求項 11】 前記第 1 および第 2 メモリチップが、前記マイコンチップの前記一組の辺からはみ出している距離は、それぞれ 1.5mm 以下であることを特徴とする請求項 5 記載の半導体装置。

【請求項 12】 前記第 1 および第 2 メモリチップが、前記マイコンチップの前記一組の辺からはみ出している距離は、それぞれ 1mm 以下であることを特徴とする請求項 5 記載の半導体装置。

【請求項 13】 前記第 1 および第 2 メモリチップは、前記マイコンチップより薄いことを特徴とする請求項 5 記載の半導体装置。

【請求項 14】 前記第 1 および第 2 メモリチップの厚さは、 $200\mu\text{m}$ 以下であることを特徴とする請求項 5 記載の半導体装置。

【請求項 15】 前記第 1 および第 2 メモリチップが、前記マイコンチップ

の前記一組の辺からはみ出している部分の下部に、樹脂が充填されていることを特徴とする請求項 5 記載の半導体装置。

【請求項 16】 前記第 1 および第 2 メモリチップは、それぞれ DRAM もしくは不揮発性メモリであることを特徴とする請求項 5 記載の半導体装置。

【請求項 17】 前記第 3 および第 4 パッドは、当該メモリチップの中央部にライン状に配置されているか、もしくは当該メモリチップの対向する 2 辺に沿ってライン状に配置されていることを特徴とする請求項 5 記載の半導体装置。

【請求項 18】 前記第 1 および第 2 メモリチップは、前記第 3 および第 4 パッドが前記マイコンチップの辺に沿って配列され、かつ他のメモリチップ上を超えないように前記第 2 パッドと前記導電性のワイヤを用いて接続されていることを特徴とする請求項 17 記載の半導体装置。

【請求項 19】 前記第 3 パッドは、前記第 2 メモリチップ上を超えないように前記第 2 パッドと前記導電性のワイヤを用いて接続され、

前記第 4 パッドは、前記第 1 メモリチップ上を超えないように前記第 2 パッドと前記導電性のワイヤを用いて接続されていることを特徴とする請求項 5 記載の半導体装置。

【請求項 20】 (a) 第 1 面と前記第 1 面に対向する第 2 面とを有し、前記第 1 面の第 1 領域に第 1 パッドが形成され、前記第 1 領域を囲む第 2 領域に第 2 パッドが形成された配線基板と、

(b) その表面にバンプ電極が形成され、前記第 1 パッドと前記バンプ電極が電氣的に接続されるように、前記配線基板の前記第 1 領域上に搭載されたマイコンチップと、

(c) 前記マイコンチップの裏面上に搭載された複数のメモリチップであって、各メモリチップのそれぞれの表面に第 3 パッドが形成され、前記第 3 パッドは、前記第 2 パッドと導電性のワイヤを用いて接続されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、特に、複数の半導体チップを同一の配線基板上に搭載したマルチチップモジュール(Multi-Chip Module; M C M)またはマルチチップパッケージ(Multi-Chip Package; M C P)に適用して有効な技術に関する。

【 0 0 0 2 】

【従来の技術】

半導体装置の実装密度を向上させることを目的として、配線基板上に複数の半導体チップを三次元的に実装した積層パッケージが種々提案されている。

【 0 0 0 3 】

例えば、配線基板上にメモリチップとマイコンチップを実装してシステムを構成することがある。このようなパッケージは、システムインパッケージ(System in Package ; S i P)とも呼ばれる。

【 0 0 0 4 】

メモリチップには、D R A M (Dynamic Random Access Memory)や不揮発性メモリ（フラッシュメモリ）等があり、これらと高速マイクロプロセッサ（M P U : Micro Processing Unit、超小型演算処理装置）を単一の樹脂パッケージ内に封止する。このような S i P は、メモリチップを樹脂封止したメモリ・モジュールよりも高機能であり、需要も大きい。

【 0 0 0 5 】

特に、携帯電話等の通信用モバイル機器においては、半導体装置の多機能化および小型化が要求され、S i P は、このような機器に用いて好適である。

【 0 0 0 6 】

例えば特許文献 1 には、D R A M が形成されたチップ（2 A）およびフラッシュメモリが形成されたチップ（2 B）の 2 個のチップの上に、高速マイクロプロセッサが形成されたチップ（2 C）が実装された半導体装置が開示されている。

【 0 0 0 7 】

【特許文献 1】

国際公開番号 W O 0 2 / 1 0 3 7 9 3 A 1 号公報（図 2）

【 0 0 0 8 】

【発明が解決しようとする課題】

本発明者らは、一つのパッケージ内に複数個の半導体チップ（以下、単にチップという）を搭載したマルチチップモジュール（MCM）を開発している。

【0009】

本発明者らは、DRAMが形成されたチップと、フラッシュメモリが形成されたチップと、高速マイクロプロセッサ（MPU）が形成されたチップとを単一の樹脂パッケージ内に封止したマルチチップモジュールについて検討している。

【0010】

上記3つのチップを配線基板上に実装する際、すべてのチップを並べて実装したのではMCMが大きくなるため、これらを積層した構造のMCMを検討している。

【0011】

しかしながら、例えば、上記特許文献1に記載のように、多機能であるためそのピン数が多い高速マイクロプロセッサが形成されたチップを上層に配置した場合には、却ってMCMが大きくなる場合が考えられる。これは、上層のチップと配線基板とをワイヤボンディング法で接続する際、ワイヤ間（配線基板のボンディングパッド間）をある程度確保する必要があるためである。

【0012】

このように、複数のチップを積層する場合には、上段および下段に位置するチップの大きさを考慮して配置することも重要であるが、各チップの特性（ピン数やその配列等）を考慮して、最終的にMCMを小さくできるよう組み立てる必要がある。

【0013】

また、上段のチップが下段のチップの端部よりはみ出した（オーバーハングした）構造の場合には、その部分に封止樹脂が充填され難く、空気溜まり（ボイド）が生じやすい。例えば熱負荷試験などの際に、ボイド内の空気の熱膨張が繰り返されると、封止樹脂とチップの剥離や封止樹脂の割れ（パッケージクラック）を引き起こす。

【0014】

本発明の目的は、複数のチップを有するマルチチップモジュールの小型化もし

くは高密度実装化を図ることにある。

【0015】

本発明の他の目的は、複数のチップを有するマルチチップモジュールの信頼性を向上することにある。

【0016】

本発明の他の目的は、複数のチップを有するマルチチップモジュールの機能の向上を図ることにある。

【0017】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0018】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0019】

本発明の半導体装置は、(a) 第1面と前記第1面に対向する第2面とを有し、前記第1面の第1領域に第1パッドが形成され、前記第1領域を囲む第2領域に第2パッドが形成された配線基板と、(b) その表面に bumps 電極が形成され、前記第1パッドと前記 bumps 電極が電氣的に接続されるように、前記配線基板の第1領域上に搭載されたマイコンチップと、(c) その表面に第3パッドが形成され、前記マイコンチップの裏面上に搭載され、前記第3パッドが前記第2パッドと導電性のワイヤを用いて接続されたメモリチップと、を有するものである。

【0020】

また、本発明の半導体装置は、(a) 第1面と前記第1面に対向する第2面とを有し、前記第1面の第1領域に第1パッドが形成され、前記第1領域を囲む第2領域に第2パッドが形成された配線基板と、(b) その表面に bumps 電極が形成され、前記第1パッドと前記 bumps 電極が電氣的に接続されるように、前記配線基板の第1領域上に搭載されたマイコンチップと、(c) 前記マイコンチップ

の裏面上に搭載された第1および第2メモリチップであって、(c1)前記第1メモリチップは、その表面に第3パッドが形成され、(c2)前記第2メモリチップは、その表面に第4パッドが形成され、(c3)前記第3および第4パッドは、前記第2パッドと導電性のワイヤを用いて接続されているものである。

【0021】

また、本発明の半導体装置は、(a)第1面と前記第1面に対向する第2面とを有し、前記第1面の第1領域に第1パッドが形成され、前記第1領域を囲む第2領域に第2パッドが形成された配線基板と、(b)その表面にバンプ電極が形成され、前記第1パッドと前記バンプ電極が電氣的に接続されるように、前記配線基板の第1領域上に搭載されたマイコンチップと、(c)前記マイコンチップの裏面上に搭載された複数のメモリチップであって、各メモリチップのそれぞれの表面に第3パッドが形成され、前記第3パッドは、前記第2パッドと導電性のワイヤを用いて接続されているものである。

【0022】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には同一の符号を付し、その繰り返しの説明は省略する。なお、各図においては、パッド数等、その一部を省略して記載する場合がある。また、図面を見易くするために縦横比などの寸法を適宜変更して記載してある箇所がある。

【0023】

図1は、本実施の形態の半導体装置を示す要部断面図、図2は、この半導体装置の上面を示す平面図、図3は、この半導体装置の下面を示す平面図である。

【0024】

図1～図3に示すように、本実施の形態の半導体装置は、配線基板（実装基板、パッケージ基板）1の主面上に、3個の半導体チップ（メモリチップ2A、2Bおよびマイコンチップ2C）が搭載されている。これらの半導体チップ（以下、単にチップという）の周囲は、モールド樹脂3で封止されている。なお、図2の平面図においてはモールド樹脂3を省略してある。

【0025】

このように、複数のチップを同一の配線基板上に搭載した半導体装置をマルチチップモジュール(MCM)といい、チップが積層された構造のMCMをスタック構造のMCMという。また、本実施の形態の半導体装置のように、メモリチップとそれを制御するマイコンチップとを同一の配線基板上に搭載した半導体装置は、システムインパッケージ(SiP)と呼ばれる。

【0026】

次いで、配線基板1、マイコンチップ2C、メモリチップ2Bおよび2Aの構成について説明する。図4～図6、図7と図8、図9と図10、および図11と図12は、それぞれ、配線基板1、マイコンチップ2C、メモリチップ2Bおよび2Aの要部断面図、上面を示す平面図もしくは下面を示す平面図である。

【0027】

図4～図6に示すように、配線基板1は、その外形が、例えば11mm×9mmの略矩形状で、厚さは650 μ m程度(バンプ電極Bpの高さ約250 μ mを含む)である。また、配線基板1は、ベース基板部(コア部)1aとその上下に位置するビルドアップ基板部1bとを有する。なお、図4の上図は、配線基板1の部分拡大図である。

【0028】

ベース基板部1aは、その表面もしくは裏面に配線を印刷法などで形成した、いわゆるプリント基板31を複数積層した構造である。この複数枚のプリント基板31の各配線は、ベースビア35によって適直接続されている。このベースビアは、ドリル加工等により形成されたスルーホール内部に形成される。なお、図4においては、最上層および最下層のプリント基板31の配線33を記載し、中間層のプリント基板31の配線を省略してある。

【0029】

ビルドアップ基板部1bは、ベース基板部1aの上部および下部に絶縁膜と導電性膜とを交互に積層することにより形成される。例えば、ベース基板部1aの上部に絶縁膜としてポリイミド樹脂膜37を形成し、ベース基板部1aの配線33上のポリイミド樹脂膜37中に例えばフォトリソグラフィ技術を用いてビア

(接続孔)を形成する。また、レーザを用いてビアを形成してもよい。このビア内を含むポリイミド樹脂膜 3 7 の上部に導電性膜として例えば銅膜をメッキ法等を用いて形成する。この後、銅膜を加工し、配線 3 9 を形成する。なお、あらかじめ配線用の溝を形成し、その内部に銅膜をメッキ法などで形成することにより配線 3 9 を形成してもよい。

【0 0 3 0】

このように、ポリイミド樹脂膜 3 7、ビアおよび配線 3 9 の形成を繰り返すことによりビルドアップ基板部 1 b が形成される。また、このような配線の形成方法によれば、ベース基板部 1 a に形成したベースビアもしくは配線と比較して、微細なビアの形成が可能であり、また、微細なピッチで配線(パッド)を形成することができる。例えば、ビルドアップ基板部 1 b は、 $30/30\ \mu\text{m}$ のラインアンドスペース(配線の最小幅が $30\ \mu\text{m}$ 、配線間隔の最小幅が $30\ \mu\text{m}$)の配線を有している。これに比較して、ベース基板部 1 a は、 $60/80\ \mu\text{m}$ のラインアンドスペース(配線の最小幅が $60\ \mu\text{m}$ 、配線間隔の最小幅が $80\ \mu\text{m}$)の配線を有している。このように、ビルドアップ基板部 1 b は、ベース基板部 1 a に比較して、最小加工寸法が小さいという特徴がある。なお、最上層配線の上部は、パッド(パッド電極、端子、ピン) P 1 およびボンディングパッド(端子、ピン) P 2 部を除き、ポリイミド樹脂膜 3 7 等の絶縁膜で覆われる。例えば、パッド P 1 の最小ピッチは、 $65\ \mu\text{m}$ 、パッド P 2 の最小ピッチは、 $135\ \mu\text{m}$ である(図 5)。

【0 0 3 1】

これに対し、ベース基板部 1 a の配線は、その幅が最小でも $60\ \mu\text{m}$ 程度となる。

【0 0 3 2】

このようにビルドアップ配線を用いることにより、微細な配線(パッド)の形成が可能となり、パッドピッチが $65\ \mu\text{m}$ 以下のチップの搭載が可能となる。

【0 0 3 3】

また、ベース基板部 1 a の下部にも配線層を形成することにより、配線基板の反りや歪みを低減することができる。例えば、パッド P 3 (バンプ電極 B p) の

ピッチは、 $500\mu\text{m}$ であり、ピン数は280ピンである（図6）。バンプ電極Bp（端子、ピン）は、例えば、半田等の導電性部材よりなり、その高さは約 $250\mu\text{m}$ 程度である。

【0034】

このように、絶縁膜と導電性膜の積層や加工を交互に繰り返すことにより形成される配線を有する基板をビルドアップ基板という。

【0035】

図5に示すように、配線基板1の上面（第1面）には、パッドP1およびボンディングパッドP2が形成されている。

【0036】

パッドP1は、配線基板1の上面の中央部の略矩形状の領域（第1領域）CAの内部に、各辺に沿って配置されている。その個数（端子数、ピン数）は、272個程度である。また、そのピッチは、例えば $65\mu\text{m}$ 程度である。この略矩形状の領域CA上に後述するマイコンチップ2Cが搭載される。

【0037】

また、ボンディングパッドP2は、配線基板1の上面の外周部（領域CAの外側、第2領域）に配置されている。ボンディングパッドP2は、配線基板1のX方向に延在する辺（L1、L2）に沿って形成され、また、Y方向に延在する辺（L4）に沿って配置されている。L1およびL2に沿って配置されるボンディングパッドP2は、56個程度で、その最小ピッチは $135\mu\text{m}$ 程度である。また、L4に沿って配置されるボンディングパッドP2は、70個程度で、その最小ピッチは $135\mu\text{m}$ 程度である。

【0038】

このパッドP1およびボンディングパッドP2は、配線39、33およびベースビア35等を介してバンプ電極Bp（パッドP3）と接続されている。

【0039】

図6に示すように、このバンプ電極Bp（パッドP3）は、配線基板1の裏面（第2面）に、アレイ状に配置され、その個数は、280個程度で、そのピッチは $500\mu\text{m}$ 程度である。即ち、配線基板1のバンプ電極Bpは、280ピンの

B G A (Ball Grid Array) 構造である。

【 0 0 4 0 】

この配線基板 1 には、3 個のチップ (2 A、2 B、2 C) が実装され、この配線基板 1 は、これらのチップを各種携帯機器のマザーボード等を実装する際の中継基板 (インターポザー) を構成している。即ち、配線基板 1 のバンプ電極 B p を介して各種携帯機器のマザーボード (図示せず) に実装される。

【 0 0 4 1 】

マイコンチップ 2 C は、例えばシリコン基板 (半導体基板) 上に形成された複数の半導体素子 (図示せず) を有する。例えば、ウエハ状態のシリコン基板をダイシングすることにより形成され、図 7 に示すように、その外形は、例えば 6 . 3 8 mm × 6 . 1 8 mm の略矩形状で、厚さは 0 . 1 4 mm 程度である。

【 0 0 4 2 】

また、その上面 (表面、素子形成面) には、パッド (図示せず) が形成され、そのパッドと電氣的に接続されたバンプ電極 B C が形成されている。パッドは、最上層配線の露出部である。このパッド (バンプ電極 B C) 以外の領域は、絶縁膜で覆われている。

【 0 0 4 3 】

このバンプ電極 B C は、略矩形状のチップ 2 C の各辺に沿って配置されている。その個数は、2 7 2 個程度である。また、そのピッチは、例えば 6 5 μ m 程度である。バンプ電極 B C は、A u (金) 等よりなり、ボールボンディング法などを用いて形成することができる。

【 0 0 4 4 】

なお、図 8 に示すように、マイコンチップ 2 C の下面 (裏面) からはシリコン基板が露出している。

【 0 0 4 5 】

このマイコンチップ 2 C のバンプ電極 B C が形成されている面を下側として配線基板 1 の上面にフェイスダウンボンディングする。即ち、バンプ電極 B C と配線基板のパッド P 1 とを位置合わせし、これらの間を電氣的に接続する (フリップチップ接続)。マイコンチップ 2 C のバンプ電極 B C 形成面と配線基板 1 との

隙間には、アンダーフィル樹脂 7 が充填されている。なお、バンプ電極 BC の高さ（アンダーフィル樹脂 7 の厚さ）は例えば $30\ \mu\text{m}$ 程度である（図 1 参照）。

【0046】

このマイコンチップ 2C には、例えば動作周波数が 133MHz の高速マイクロプロセッサ（MPU）が内蔵されている。また、このマイコンチップ 2C は、メモリチップ（2A、2B）を制御する。これらの関係については、後述する。

【0047】

メモリチップ 2B は、例えばシリコン基板（半導体基板）上に形成された DRAM メモリセルを有する。DRAM メモリセルは、情報転送用 MISFET（Metal Insulator Semiconductor Field Effect Transistor）とそれに直列に接続された情報蓄積用容量とからなる。このシリコン基板上には、メモリセルの他、このメモリセルを駆動させるための周辺回路も形成されている。この DRAM は、例えば 64 メガビット（Mbit）である。

【0048】

このチップは、例えばウエハ状態のシリコン基板をダイシングすることにより形成され、図 9 に示すように、その外形は、例えば $3.949\text{mm} \times 7.428\text{mm}$ の略矩形状で、厚さは 0.13mm 程度である。このチップ 2B は、マイコンチップ 2C より薄い。

【0049】

また、その上面（表面、素子形成面）には、ボンディングパッド PB が形成されている。ボンディングパッド PB は、最上層配線の露出部である。このボンディングパッド PB 以外の領域は、絶縁膜で覆われている。このボンディングパッド PB は、メモリチップ 2B の中央部にライン状に配置されている。その最小ピッチは、例えば $80\ \mu\text{m}$ 程度で、その個数は、例えば 70 個程度である。

【0050】

なお、図 10 に示すように、メモリチップ 2B の下面（裏面）からはシリコン基板が露出している。

【0051】

このメモリチップ 2B は、ボンディングパッド PB が形成されている面を上側

としてマイコンチップ 2 C の裏面（素子形成面と反対側の面）上に接着される。メモリチップ 2 B とマイコンチップ 2 C との間は例えば $20\ \mu\text{m}$ 程度である（図 1 参照）。

【0052】

また、メモリチップ 2 B のボンディングパッド P B は、配線基板 1 の辺 L 4 に沿ったボンディングパッド P 2 と導電性ワイヤ 1 0 で接続される（図 2 参照）。即ち、メモリチップ 2 B は、配線基板 1 のボンディングパッド P 2 とワイヤボンディングされる。この際のメモリチップ 2 B の配置位置やワイヤボンディングの方向については、後述する。

【0053】

メモリチップ 2 A は、例えばシリコン基板（半導体基板）上に形成された不揮発性メモリ（フラッシュメモリ）を有する。フラッシュメモリセルは、電荷蓄積部と制御ゲート電極を有する M I S F E T よりなる。このシリコン基板には、メモリセルの他、このメモリセルを駆動させるための周辺回路も形成されている。このフラッシュメモリは、例えば 3 2 メガビットである。

【0054】

このチップは、例えばウエハ状態のシリコン基板をダイシングすることにより形成され、図 1 1 に示すように、その外形は、例えば $4.41\text{mm} \times 4.3\text{mm}$ の略矩形形状で、厚さは 0.13mm 程度である。このチップ 2 A は、マイコンチップ 2 C より薄い。

【0055】

また、その上面（表面、素子形成面）には、ボンディングパッド P A が形成されている。ボンディングパッド P A は、最上層配線の露出部である。このボンディングパッド P A 以外の領域は、絶縁膜で覆われている。このボンディングパッド P A は、メモリチップ 2 A の対向する 2 辺に沿って配置されている。その最小ピッチは、例えば $133\ \mu\text{m}$ 程度で、その個数は、例えば 5 6 個程度である。

【0056】

なお、図 1 2 に示すように、メモリチップ 2 A の下面（裏面）からはシリコン基板が露出している。

【0057】

このメモリチップ2Aは、ボンディングパッドPAが形成されている面を上側としてマイコンチップ2Cの裏面（素子形成面と反対側の面）上に接着される。即ち、メモリチップ2Bと同層に接着される。メモリチップ2Aとマイコンチップ2Cとの間は例えば20 μ m程度である。また、メモリチップ2Aと2Bとの間は、例えば600 μ m程度である（図1参照）。

【0058】

また、メモリチップ2AのボンディングパッドPAは、配線基板1の辺L1およびL2に沿ったボンディングパッドP2と導電性ワイヤ10で接続される（図2参照）。即ち、メモリチップ2Aは、配線基板1のボンディングパッドP2とワイヤボンディングされる。この際のメモリチップ2Aの配置位置やワイヤボンディングの方向については、後述する。

【0059】

さらに、メモリチップ2Aおよび2Bの上部や側壁はモールド樹脂3で封止される。例えば、配線基板1を窪み（キャビティ）を有する上金型および下金型で挟持し、その窪みの中に溶融樹脂を充填し硬化させる（トランスファーモルディング法（transfer molding method））。配線基板1上のモールド樹脂3の厚さは例えば600 μ m程度である。また、MCMの高さは例えば約1.25mmである（図1参照）。

【0060】

次いで、マイコンチップ2Cと、メモリチップ（2A、2B）との制御関係について説明する。

【0061】

前述の上記メモリチップ2Aおよび2Bは、マイコンチップ2Cによって制御される。マイコンチップ2Cおよびメモリチップ2A、2Bの機能とそれに伴うピン構成について図13を参照しながら説明する。

【0062】

ここでは、実施の形態に即し、メモリチップとして、DRAMが形成されたメモリチップ2Bとフラッシュメモリが形成されたメモリチップ2Aを有する場合

について説明するが、メモリチップの数や種類については、この例に限られるものではない。

【0063】

マイコンチップ2Cは、システムの外部に設けられた外部LSI(2D)とシステムの内部に設けられたメモリチップ2A、2Bとの間を仲介してデータの入出力を行う。そのために、マイコンチップ2Cは、外部インターフェース用の論理アドレス(外部アドレス)をフラッシュメモリまたはDRAM用のアドレスに変換する。

【0064】

マイコンチップ2Cがこのような役割を担う場合、マイコンチップ2Cには、マイコンチップ2Cとメモリチップ2A、2Bの間のインターフェースに必要なピン数以外に、外部インターフェースを構成するピンが必要になる。従って、マイコンチップ2Cは、外部インターフェースに必要なピン数の分、メモリチップ2A、2Bに比較してピン数が多くなる。

【0065】

外部インターフェースを介して出力されたデータは、外部LSI(2D)を介してさまざまな情報に変換され、人間と情報をやり取りをするヒューマンインターフェース機器やネットワーク機器などに出力される。例えば音声情報は、スピーカーを介して音声として出力され、画像情報は、液晶(LCD)などの画像表示装置を介して画像として出力される。もちろん、ヒューマンインターフェース機器やネットワーク機器などから入力された情報が外部LSI(2D)を介してマイコンチップ2Cの外部インターフェースに入力される場合もある。なお、入力情報には、マイクを介し入力される音声情報がある。また、外部LSI(2D)は、カメラ、アンテナもしくはモデム等、さらに、他の器機とのデータのやり取りをする。

【0066】

本実施の形態のマイコンチップ2Cは、外部インターフェースとしてPCIバスとUSBバスとを有している。このように、マイコンチップ2Cが複数種類の外部インターフェースを持つ場合は、マイコンチップ2Cの外部インターフェー

スが一種類の場合に比較してマイコンチップ 2 C に必要なピン数が多くなる。

【0067】

メモリチップがフラッシュメモリチップ (2 A) や DRAM チップ (2 B) など複数種類ある場合、マイコンチップ 2 C のメモリインターフェースに必要なピン数は、それぞれのメモリチップのインターフェースが有するピン数に比較して多くなる。

【0068】

このように、メモリチップとして複数種類のメモリを有する場合には、マイコンチップ 2 C のメモリインターフェースの構成としては、それぞれのメモリチップ 2 A、2 B が有するインターフェースのピン数よりも多くなる場合がある。

【0069】

また、マイコンチップには、MPU 以外にさまざまな回路を有する場合があります、その場合は、それぞれの回路に対して安定した電源を供給するためにより多くのピン数が必要となる。例えば本実施の形態のマイコンチップ 2 C は、A/D、D/A 変換回路や PLL 回路を有している。このような A/D、D/A 変換回路や PLL 回路は、自らが電源ノイズ源になり得ると共に、外部からの電源ノイズに弱い性質を持つため、MPU とは分離された電源供給ピンを持っており、これがマイコンチップ 2 C のピン数をさらに増やす原因となっている。また、マイコンチップ 2 C は、外部インターフェース回路を有しているが、外部インターフェース回路における安定した信号増幅を実現するためには、MPU などの内部回路とは独立した電源供給ピンを必要とするので、これもマイコンチップ 2 C のピン数を増やす原因となっている。

【0070】

従って、例えば図 9 および図 11 を参照しながら説明したように、メモリチップ 2 B のボンディングパッド PB は、70 個 (端子、ピン)、メモリチップ 2 A のボンディングパッド PA は、56 個であり、その和は 126 個程度であるのに対し、マイコンチップ 2 C のバンプ電極 BC は、272 個となっている (図 7 参照)。

【0071】

このように、マイコンチップ 2 C は、システム内部（メモリチップ 2 A、2 B など）とのインターフェースに加えて、システム外部との各種インターフェースを備えた多ポート構造で構成されているので、ピン数はメモリチップ 2 A、2 B に比べて遥かに多い。

【0072】

本実施の形態によれば、複数のチップを積層して実装したので、MCM の小型化もしくは高密度化を図ることができる。また、MCM 中にマイコンチップを内蔵し Si P としたので多機能化を図ることができる。

【0073】

また、多機能であるためピン数の多いマイコンチップを下層に配置し、フリップチップ接続し、ピン数の少ないメモリチップを上層に配置し、ワイヤボンディング接続したので、MCM の小型化を図ることができる。

【0074】

例えば、多機能であるためそのピン数が多いマイコンチップを上層に配置した場合には、配線基板の外周部に形成されたボンディングパッド P 2 の数が多くなる。また、マイコンチップ 2 C と配線基板 1 とを、ワイヤボンディングする場合は、ワイヤ間のショートを防止するため、ボンディングパッド P 2 を広いピッチで配置する必要がある。また、ワイヤとチップ間の接触を防ぐためには、ワイヤのループ高さ（チップ表面からワイヤの最高値までの距離）を確保する必要がある。上層のチップの端部とボンディングパッド P 2 との距離を大きく確保する必要がある。これらの理由からピン数が多いマイコンチップを上層に配置した場合には、配線基板 1 が大きくなってしまう。

【0075】

これに対して、本実施の形態においては、ピン数の少ないメモリチップを上層に配置したので、ボンディングパッド P 2 の数を少なくできる。また、そのピッチを小さく、さらに、上層のチップの端部に近づけて配置することができる。その結果、配線基板 1 を小さくできる。即ち、MCM を小型化できる。また、ワイヤ間のショートを防止でき、MCM の信頼性を向上させることができる。

【0076】

また、配線基板 1 をいわゆるビルドアップ基板とすることでピン数が多いマイコンチップのフリップチップ接続に対応することができる。また、ピン数が多いマイコンチップを下段に配置し、フリップチップ接続することとしたので、接続の信頼性を向上することができる。

【0077】

次いで、メモリチップ 2 A、2 B の配置位置やワイヤボンディングの方向について説明する。

【0078】

前述したように、マイコンチップ 2 C は、配線基板 1 の中央部にフリップチップ接続され、マイコンチップ 2 C の上部にメモリチップ 2 A、2 B が接着される。

【0079】

図 2 に示すように、メモリチップ 2 A は、そのボンディングパッド P A が配線基板 1 の 4 つの辺のうちの L 1 および L 2 に沿って配列される。また、メモリチップ 2 B は、そのボンディングパッド P B が配線基板 1 の 4 つの辺のうちの L 4 に沿って配列される。言い換えれば、メモリチップ 2 A および 2 B は、そのボンディングパッド P A、P B が配列される方向がマイコンチップ 2 C の辺の延在する方向に沿っている。

【0080】

また、メモリチップ 2 B のボンディングパッド P B は、配線基板 1 の辺 L 4 側に引き出され、メモリチップ 2 A のボンディングパッド P A は、配線基板 1 の辺 L 1 もしくは L 2 側に引き出される。言い換えれば、メモリチップ 2 B のボンディングパッド P B は、X 方向に、メモリチップ 2 A のボンディングパッド P A は、Y 方向に引き出される。

【0081】

また、言い換えれば、メモリチップ 2 B のボンディングパッド P B は、同層の他のメモリチップ（この場合メモリチップ 2 A）を超えない方向にワイヤボンディングされる。一方、メモリチップ 2 A のボンディングパッド P A は、同層の他のメモリチップ（この場合メモリチップ 2 B）を超えない方向にワイヤボンディ

ングされる。また、言い換えれば、各メモリチップは、そのボンディングパッドと配線基板とを接続する導電性ワイヤが他のメモリチップを超えないように配置される。

【0082】

このように、本実施の形態によれば、各メモリチップを、そのボンディングパッドと配線基板とを接続する導電性ワイヤが他のメモリチップを超えないように配置したので、MCMの小型化を図ることができる。また、MCMの信頼性を向上させることができる。

【0083】

例えば、メモリチップのボンディングパッドと配線基板とを接続するワイヤが他のメモリチップを超えるよう配置すると、ワイヤ長が大きくなり、ワイヤのループ高さも大きくなる。その結果、配線基板が大きくなり、また、ワイヤ間やワイヤとチップとのショートが発生率も高くなる。

【0084】

さらに、図1および図2に示すように、メモリチップ2Bおよび2AのX方向の端部は、それぞれマイコンチップ2CのX方向の端部からはみ出ている（オーバーハング状態となっている）。メモリチップ2Bのはみ出し量DBは例えば1.2mm程度、メモリチップ2Aのはみ出し量DAは、例えば1.3mm程度である。

【0085】

前述したように、メモリチップ2Bの外形は、例えば3.949mm×7.428mm、メモリチップ2Aの外形は、例えば4.41mm×4.3mmである。これに対し、マイコンチップ2Cの外形は、例えば6.38mm×6.18mmである。

【0086】

従って、メモリチップ2Bおよび2Aを図2に示す方向に配置した場合、そのX方向の辺の長さの和は、8.359mm（＝3.949＋4.41）となり、マイコンチップのX方向の辺の長さ6.38mmより大きくなる。

【0087】

よって、本実施の形態においては、マイコンチップのY方向に延在する辺（L3、L4）からメモリチップ2Aおよび2Bをはみ出して配置している。

【0088】

このように、本実施の形態によれば、本実施の形態においては、マイコンチップの両端からメモリチップ2Aおよび2Bがはみ出すよう配置したので、はみ出し量（はみ出している距離）が極端に大きい箇所を無くすことができ、チップの剥離や封止樹脂の割れ（パッケージクラック）を防止することができる。

【0089】

例えば、メモリチップ2BのボンディングパッドPBおよびメモリチップ2AのボンディングパッドPAをマイコンチップ2Cからはみ出さないように配置し、メモリチップ2Aのみをマイコンチップ2Cの端部からはみ出すよう配置することも可能であるが、この場合、メモリチップ2Aのはみ出し量が大きくなる。言い換えれば、メモリチップ2Aがはみ出している部分の下部の窪みが大きくなる。この窪みが大きいと、チップの周囲を樹脂封止する際に、熔融樹脂が充填され難く、空気溜まり（ボイド）が生じやすい。このようなボイドが形成されると、例えば熱負荷試験などの際に内の空気の熱膨張が繰り返され、封止樹脂とチップの剥離や封止樹脂の割れ（パッケージクラック）を引き起こす。

【0090】

これは、それぞれのメモリチップにおいて、チップ主面上におけるボンディングパッドの配置は様々であり、例えば、メモリチップの端辺からボンディングパッドまでの距離も様々であるために、ボンディングパッドがマイコンチップの上部に配置されることを優先させると、ボンディングパッドからメモリチップの端辺までの距離の差によって、メモリチップのはみ出し量に大きな差が生じてしまうからである。

【0091】

これに対して、本実施の形態によれば、下層のチップの両側から上層のチップをはみ出させたのでチップの割れやパッケージクラックの発生を低減することができる。

【0092】

特に、複数種類のメモリチップがある場合に、各メモリチップ間において、マイコンチップからはみ出すメモリチップの端辺の部分に注目した場合に、ボンディングパッドからメモリチップの端辺までの距離同士の差よりも、メモリチップのはみ出し量同士の差を小さくすることにより、各メモリチップにおける、はみ出し量の大きな相違に基づくチップの割れやパッケージクラックの発生を低減することができる。

【0 0 9 3】

このはみ出し量は、1. 5 mm以下が好ましい。また、1 mm以下がより好ましい。

【0 0 9 4】

また、MCMの小型化（薄型化）の要求から、内蔵されるチップは薄型化する傾向にある。特に、上段のチップの厚さが2 0 0 μ m以下の場合には、本実施の形態を用いて効果的である。

【0 0 9 5】

次いで、本実施の形態の半導体装置の製造方法（組立工程）を説明する。図1 4～図1 7は、本実施の形態の半導体装置の製造工程を示す要部断面図である。

【0 0 9 6】

図1 4に示すように、配線基板1上にフリップチップ方式でマイコンチップ2 Cを実装する。即ち、配線基板1の上面のパッドP 1とマイコンチップのバンプ電極B Cを接続した後、マイコンチップ2 Cと配線基板1との隙間にアンダーフィル樹脂7を充填する。パッドP 1とマイコンチップのバンプ電極B Cとの接続は、半田バンプ電極を溶融して接続する方法、金バンプ電極を半田を介してリフロー接続する方法や、マイコンチップ2 Cと配線基板1との隙間に異方性導電性(anisotropic conductive)樹脂または非導電性(non conductive)樹脂などからなるテープあるいはペーストを挟み込み、このテープあるいはペーストを加熱、溶融することによって行うこともできる。この場合は、アンダーフィル樹脂7を充填する工程が不要となる。

【0 0 9 7】

なお、図1 4には、1個の配線基板しか記載していないが、例えば、複数個の

配線基板を連続的に配置した基板を準備し、各チップを実装した後、個々の装置毎に切断してもよい。

【0 0 9 8】

次に、図 1 5 に示すように、マイコンチップ 2 C 上に接着剤などを使ってメモリチップ 2 A および 2 B を固定する。次いで、図 1 6 に示すように、メモリチップ 2 B および 2 A のボンディングパッド P B、P A と配線基板 1 のボンディングパッド P 2 とを金線等よりなる導電性ワイヤ 1 0 で接続する（図 2 参照）。このワイヤボンディングは、例えば超音波振動と熱圧着とを併用したワイヤボンダを使用して行う。

【0 0 9 9】

次に、図 1 7 に示すように、配線基板 1 をモールド金型（図示せず）に装着し、その主面の全体をモールド樹脂 3 で封止する。モールド樹脂 3 は、例えば粒径 $70\ \mu\text{m} \sim 100\ \mu\text{m}$ 程度のシリカを分散させた熱硬化型エポキシ系樹脂からなる。

【0 1 0 0】

その後、配線基板 1 の裏面のパッド P 3 上に半田よりなるバンプ電極 B p を接続する。続いて、配線基板 1 が複数連結している場合には、ダイシングラインに沿って切断し、配線基板 1 を個片化する。なお、バンプ電極 B p は、例えば低融点の P b - S n 共晶合金からなる半田ボールをパッド P 3 の表面に供給した後、この半田ボールをリフローさせることによって形成する。

【0 1 0 1】

以上、本発明者によってなされた発明を前記実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0 1 0 2】

前記実施の形態によれば、例えば、ボンディングパッド P A や P B は、一列に形成されているが、複数列に形成してもよい。また、バンプ電極 B C も複数列に形成してもよいし、また、エリア配置してもよい。

【0 1 0 3】

また、前記実施の形態によれば、マイコンチップ上にボンディングパッドをその中央部に有するもの（センター品）およびボンディングパッドをその両端に有するもの（両サイド品）を搭載したが、例えば、図18に示すように、センター品を2チップ搭載してもよい。また、両サイド品を2チップ搭載してもよい。

【0104】

また、前記実施の形態においては、マイコンチップ上に2つのメモリチップを搭載したが、図19に示すように3つのチップを搭載してもよい。

【0105】

また、前記実施の形態においては、メモリチップとしてDRAMやフラッシュメモリを例に挙げたが、この他SRAM等、他のメモリチップを用いてもよい。

【0106】

また、本発明は、端子数の異なるチップを積層した半導体装置に広く適用可能である。

【0107】

また、配線基板上には、メモリチップやマイコンチップの他にコンデンサや抵抗素子など、チップ以外の小型電子部品を実装することもできる。例えば、メモリチップの外周に沿ってチップコンデンサを搭載することにより、メモリチップの駆動時に生じるノイズを低減して高速動作を実現することができる。

【0108】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0109】

配線基板上に端子数の多いマイコンチップと端子数の比較的少ないメモリチップを積み重ねて実装する際、マイコンチップを下層に配置し、メモリチップを上層に配置することにより、半導体装置の小型化もしくは高密度実装化を図ることができる。また、信頼性を向上することができる。また、機能の向上を図ることができる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態の半導体装置を示す要部断面図である。

【図 2】

本発明の一実施の形態の半導体装置の上面を示す平面図である。

【図 3】

本発明の一実施の形態の半導体装置の下面を示す平面図である。

【図 4】

本発明の半導体装置に用いられる配線基板の要部断面図である。

【図 5】

本発明の半導体装置に用いられる配線基板の上面を示す平面図である。

【図 6】

本発明の半導体装置に用いられる配線基板の下面を示す平面図である。

【図 7】

本発明の半導体装置に用いられるマイコンチップの上面を示す平面図である。

【図 8】

本発明の半導体装置に用いられるマイコンチップの下面を示す平面図である。

【図 9】

本発明の半導体装置に用いられるメモリチップの上面を示す平面図である。

【図 1 0】

本発明の半導体装置に用いられるメモリチップの下面を示す平面図である。

【図 1 1】

本発明の半導体装置に用いられるメモリチップの上面を示す平面図である。

【図 1 2】

本発明の半導体装置に用いられるメモリチップの下面を示す平面図である。

【図 1 3】

本発明の半導体装置に用いられるマイコンチップとメモリチップとの制御関係を示すブロック図である。

【図 1 4】

本発明の一実施の形態である半導体装置の製造方法を示す配線基板の要部断面

図である。

【図 15】

本発明の一実施の形態である半導体装置の製造方法を示す配線基板の要部断面図である。

【図 16】

本発明の一実施の形態である半導体装置の製造方法を示す配線基板の要部断面図である。

【図 17】

本発明の一実施の形態である半導体装置の製造方法を示す配線基板の要部断面図である。

【図 18】

本発明の一実施の形態の他の半導体装置の上面を示す平面図である。

【図 19】

本発明の一実施の形態の他の半導体装置の上面を示す平面図である。

【符号の説明】

- 1 配線基板
- 1 a ベース基板部
- 1 b ビルドアップ基板部
- 2 A メモリチップ (チップ)
- 2 B メモリチップ (チップ)
- 2 C マイコンチップ (チップ)
- 3 モールド樹脂
- 7 アンダーフィル樹脂
- 10 導電性ワイヤ
- 31 プリント基板
- 33 配線
- 35 ベースビア
- 37 ポリイミド樹脂膜 (絶縁膜)
- 39 配線

B C バンプ電極

B p バンプ電極

C A 配線基板の上面の中央部の略矩形状の領域

D A、D B はみ出し量

L 1 ~ L 4 配線基板の辺

P 1 パッド

P 2 ボンディングパッド (パッド)

P 3 パッド

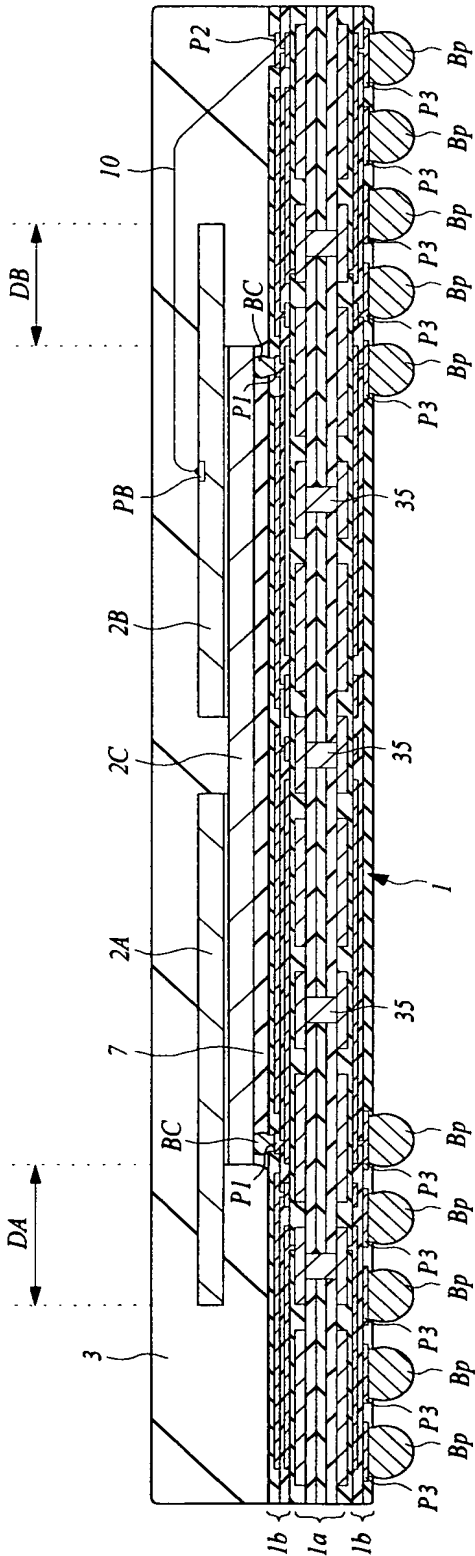
P A ボンディングパッド (パッド)

P B ボンディングパッド (パッド)

【書類名】 図面

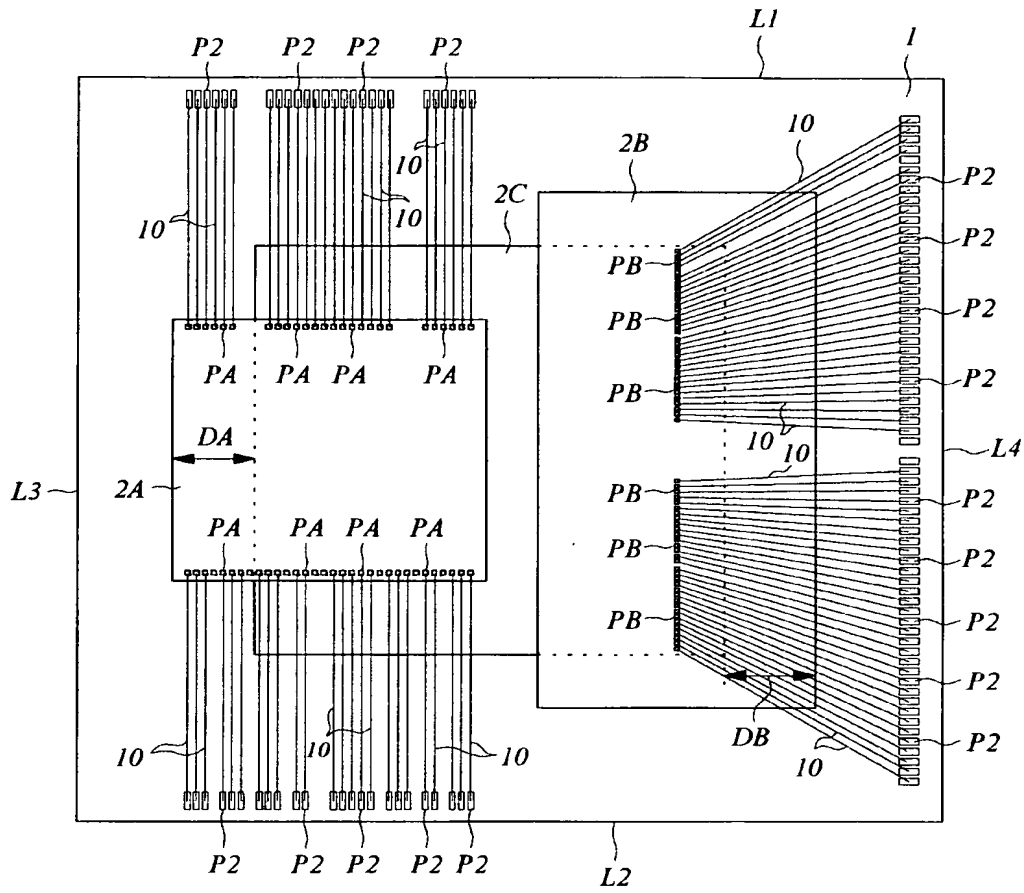
【図 1】

図 1



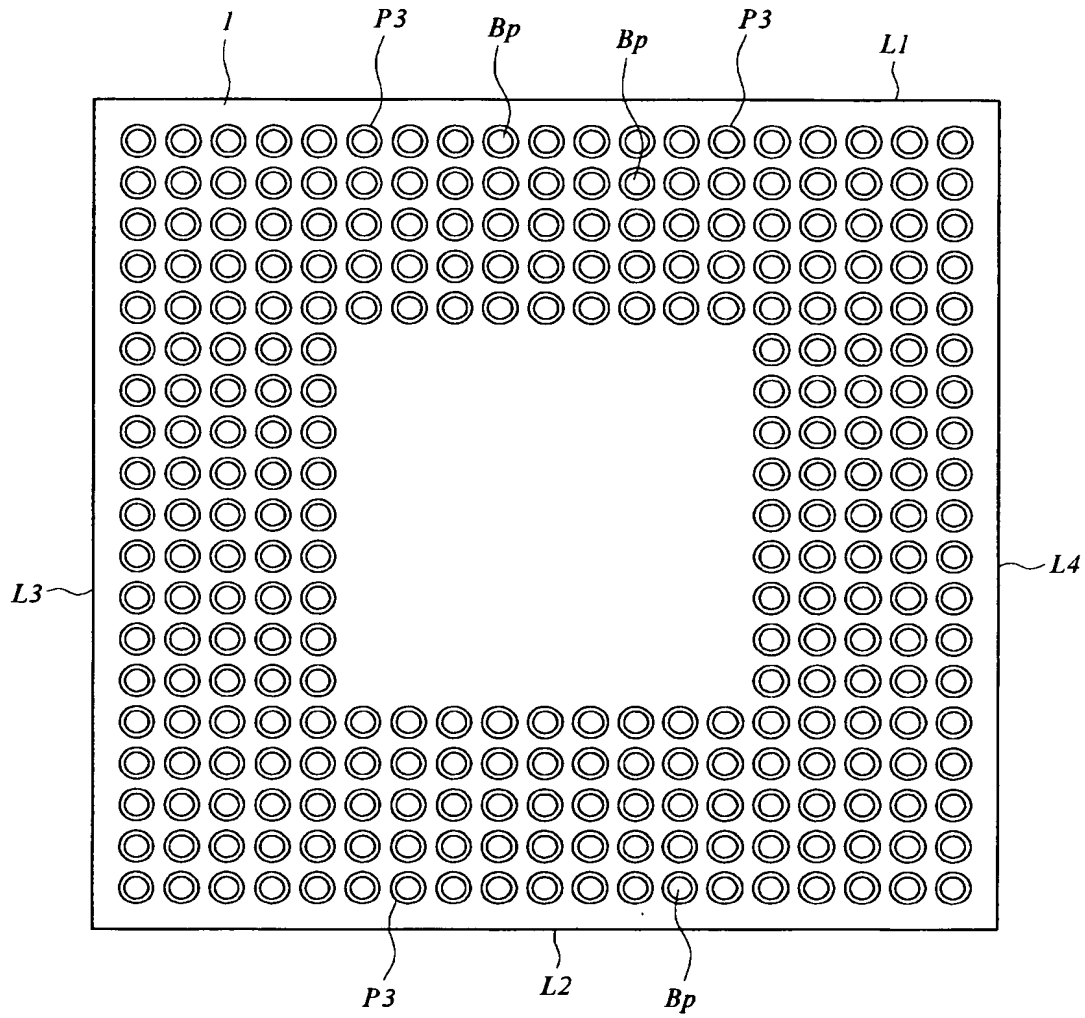
【図 2】

図 2



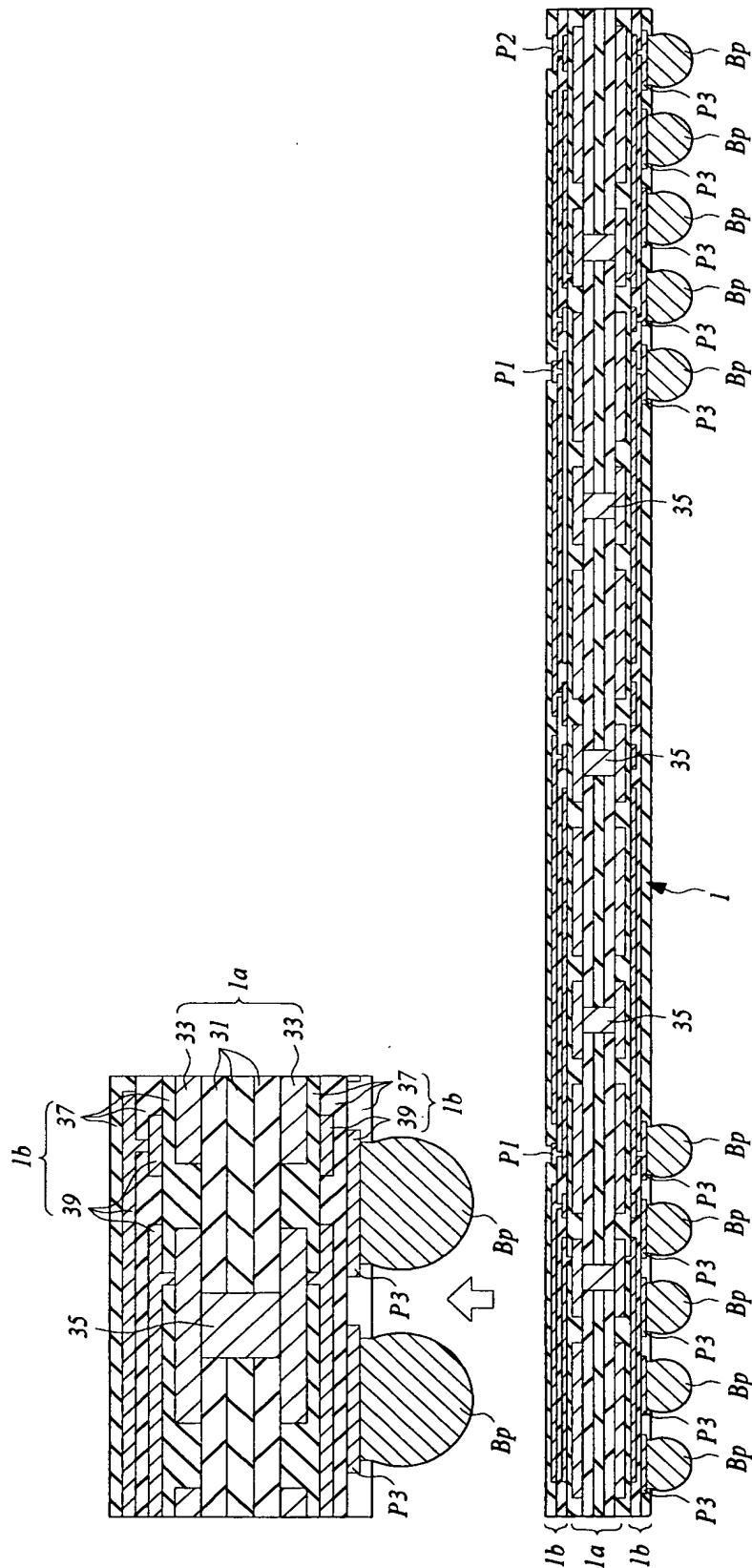
【図 3】

図 3



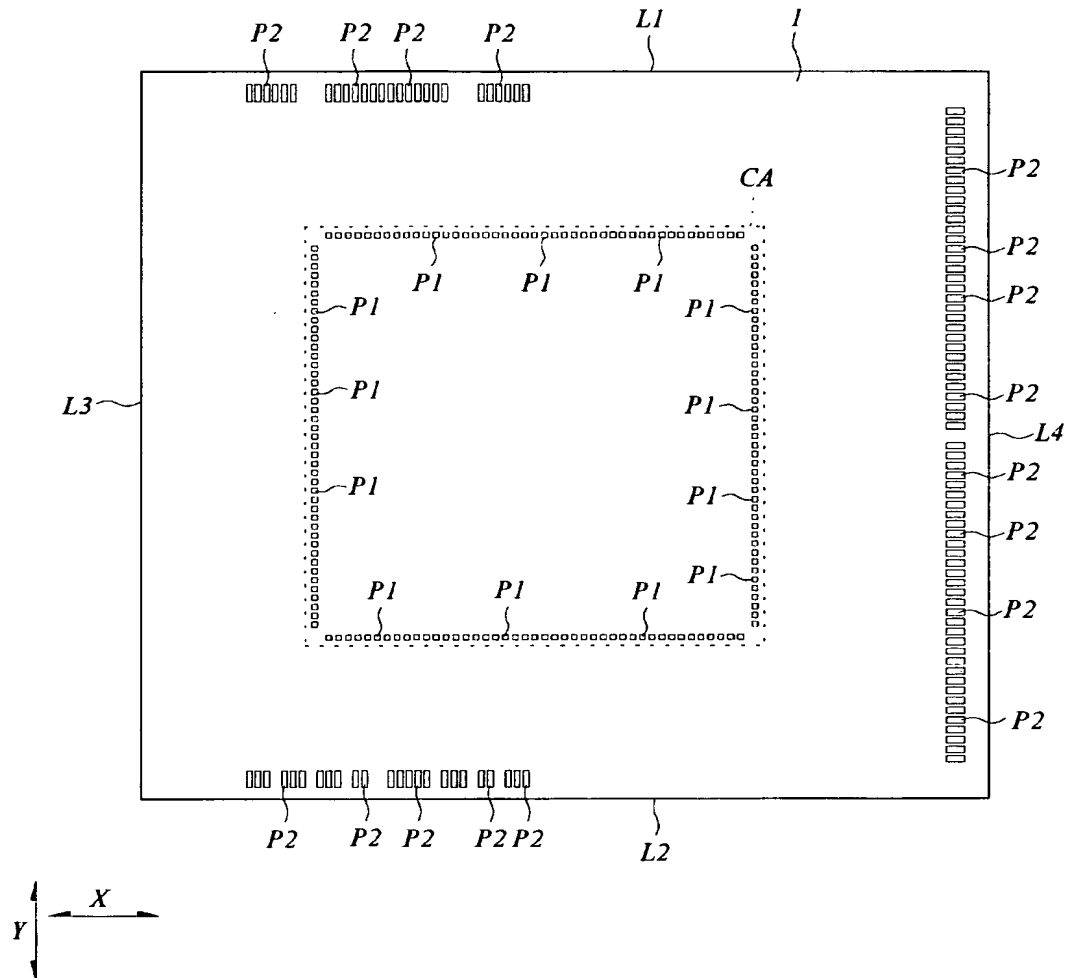
【図 4】

図 4



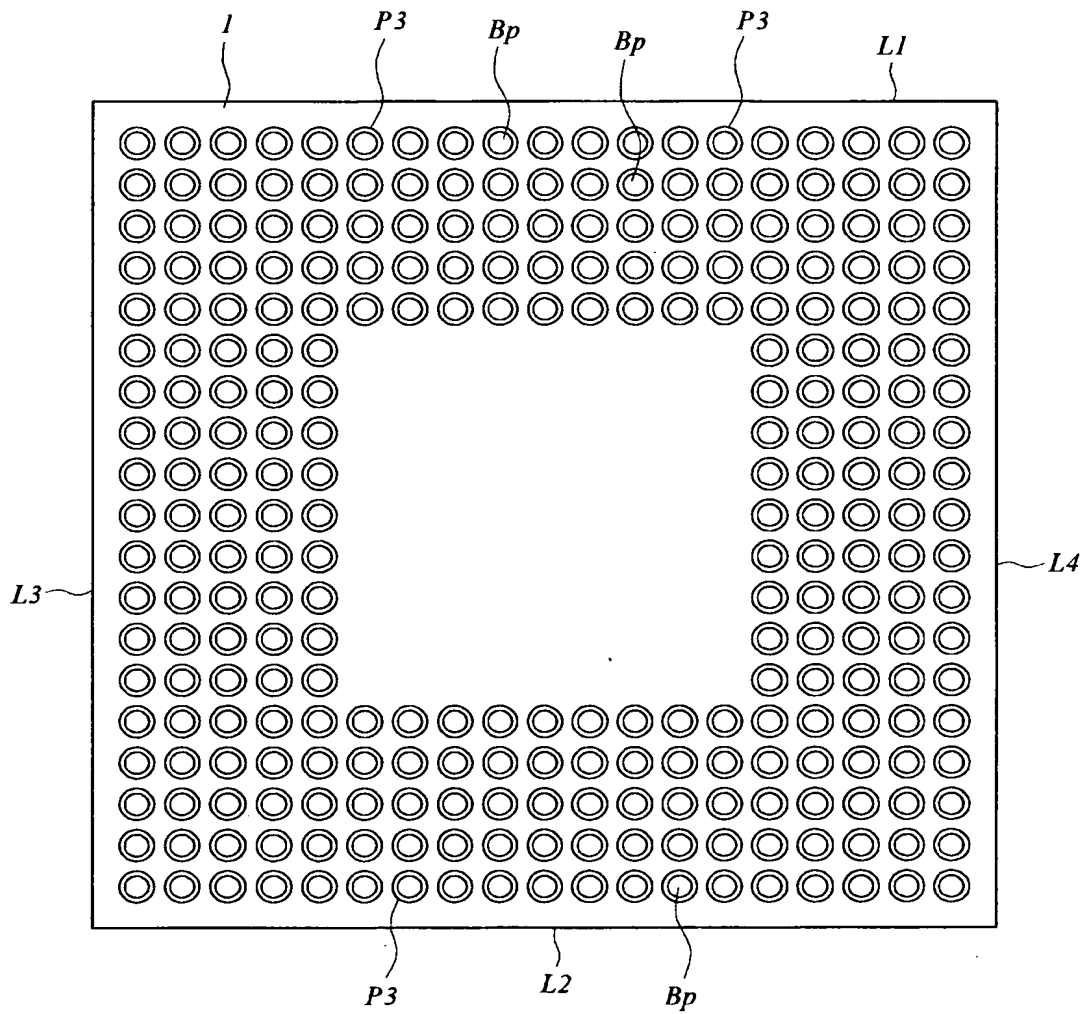
【図 5】

図 5

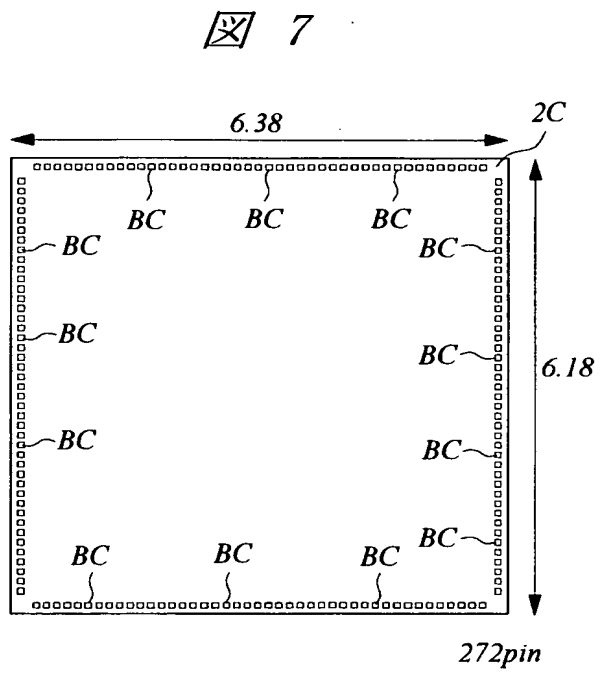


【図 6】

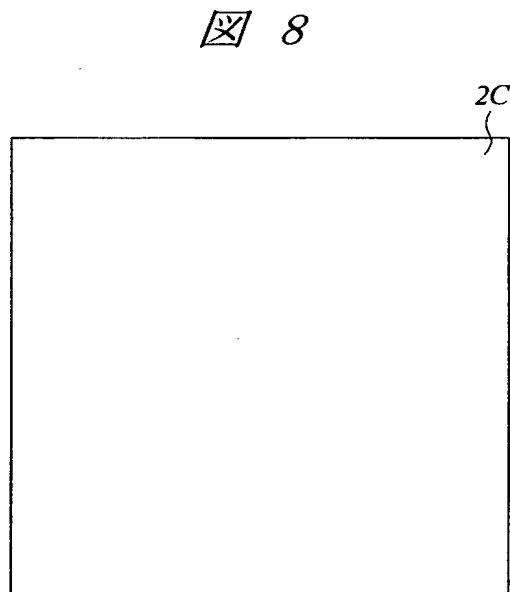
図 6



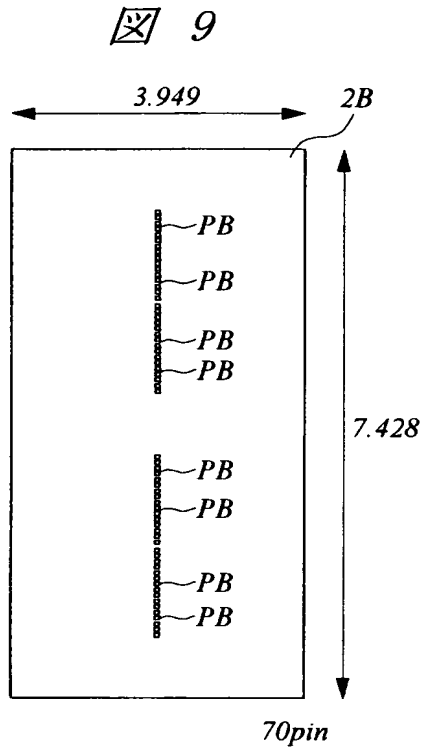
【図 7】



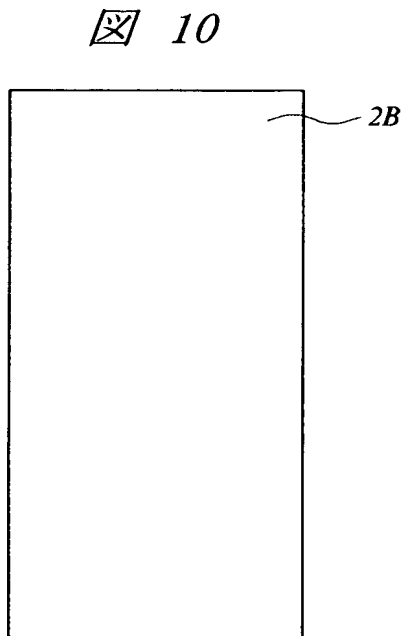
【図 8】



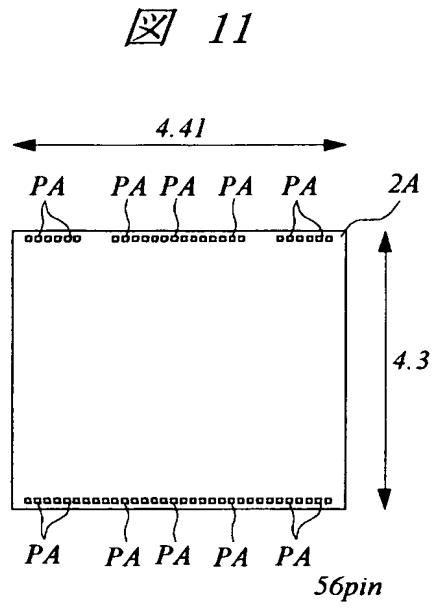
【図 9】



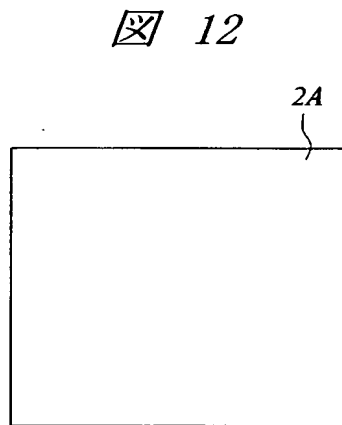
【図 10】



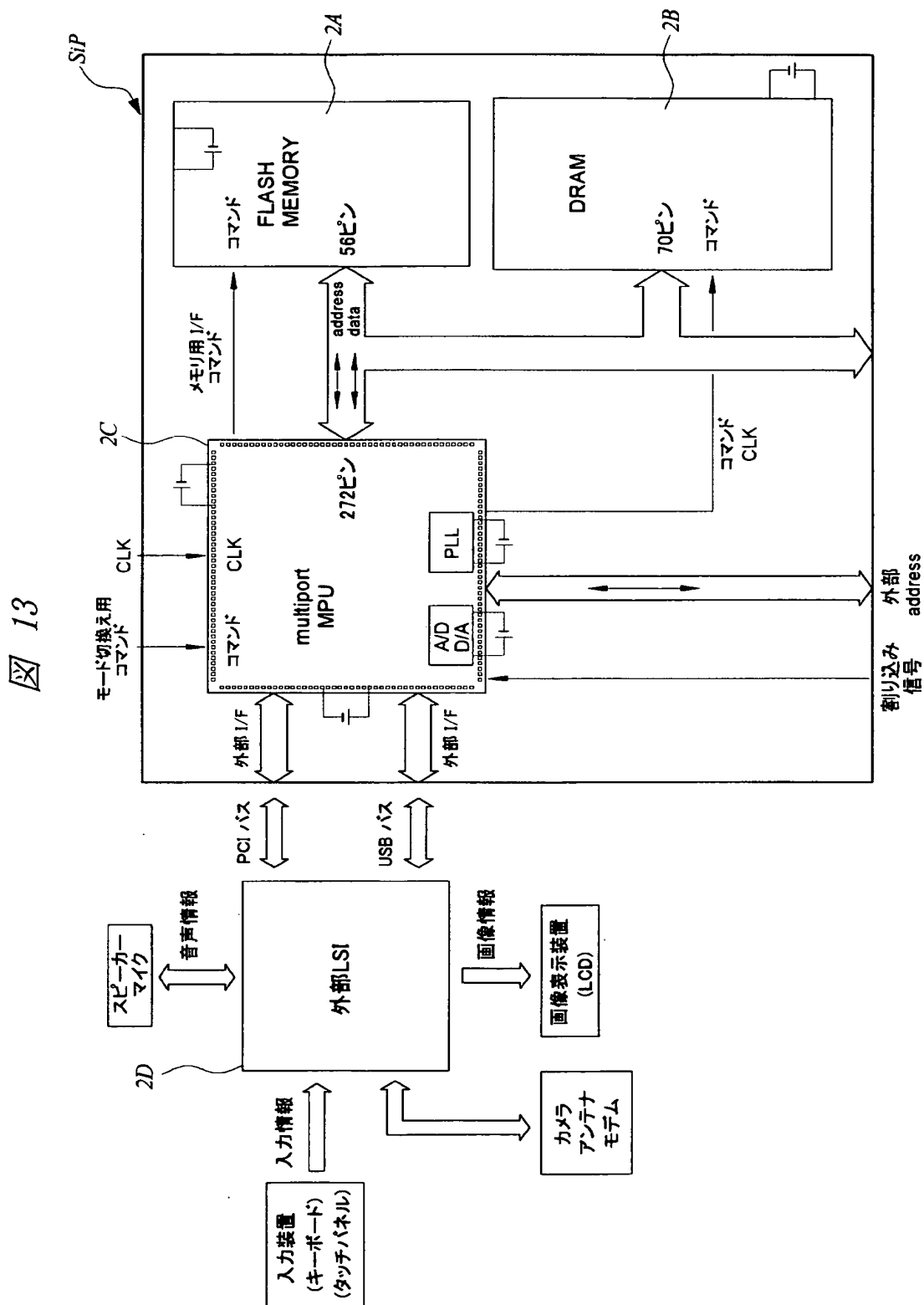
【図 11】



【図 12】

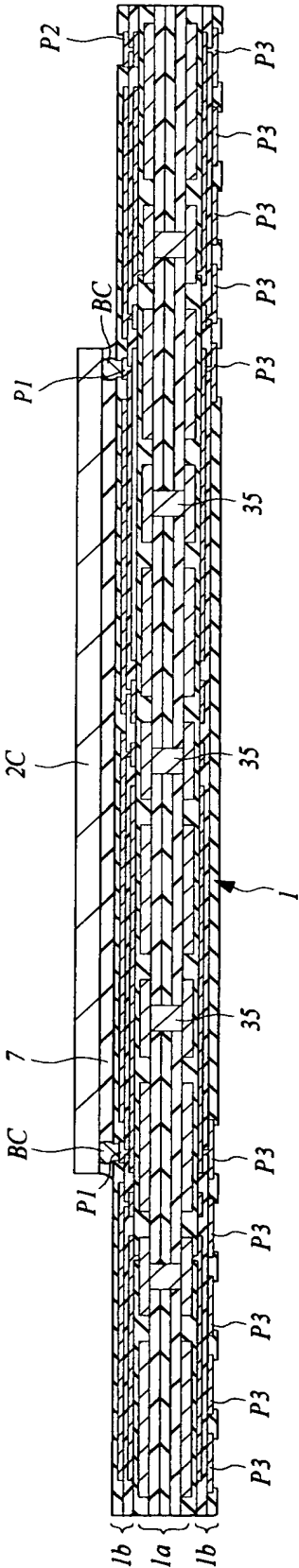


【図 13】



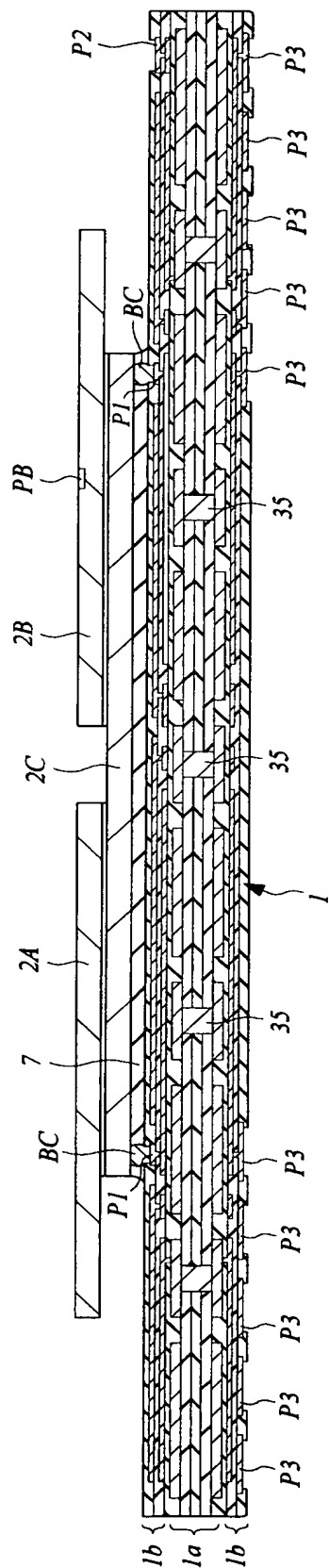
【図 14】

図 14



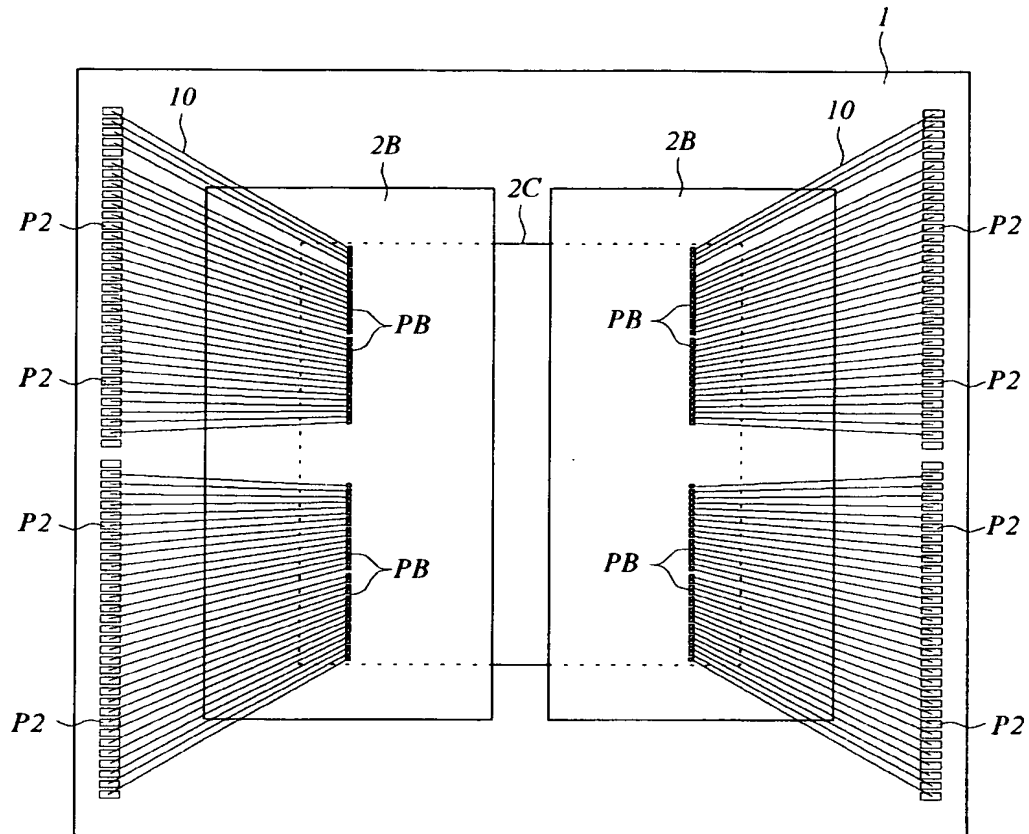
【図 15】

図 15

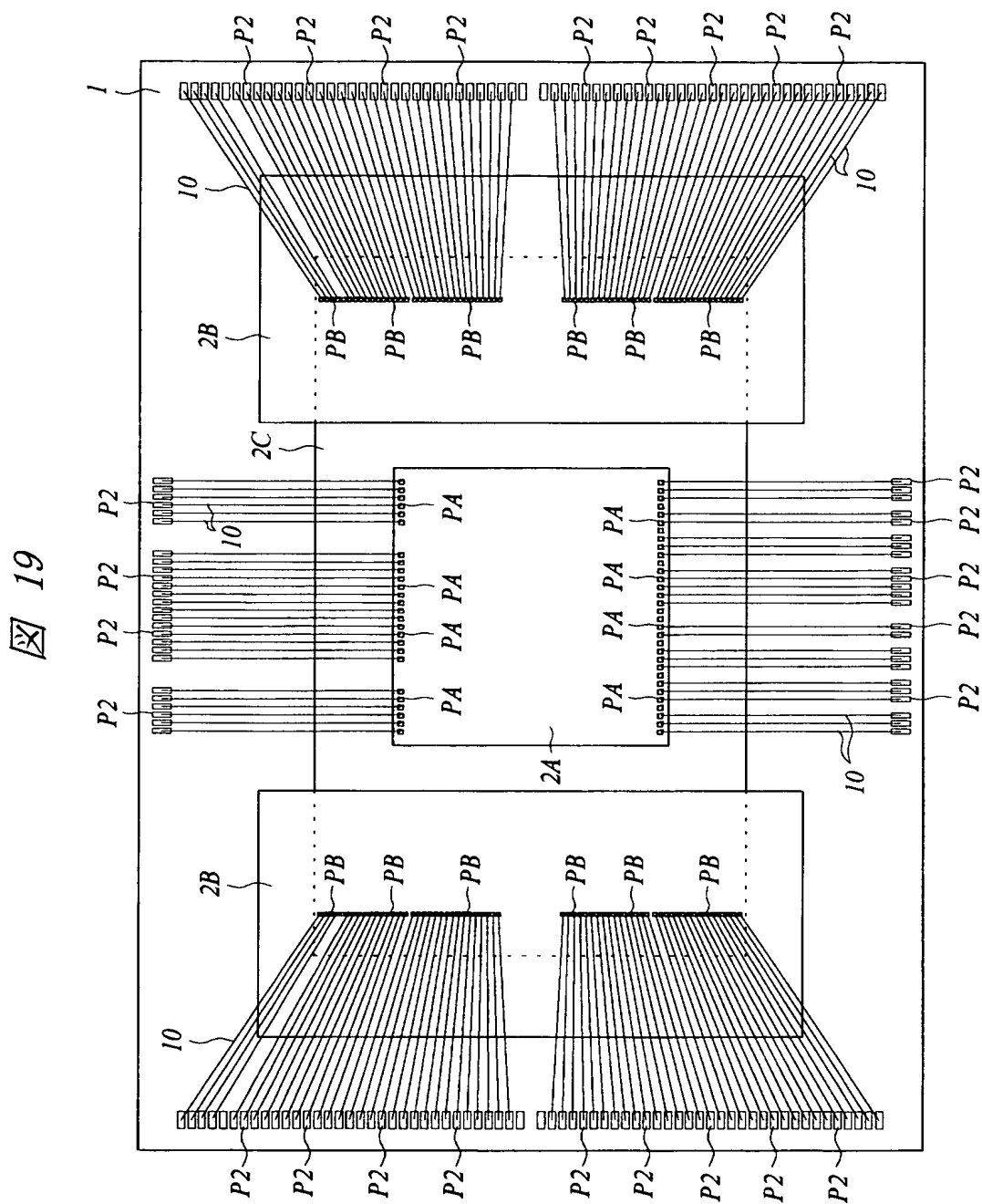


【図 18】

図 18



【図 19】



【書類名】 要約書

【要約】

【課題】 複数のチップを有するマルチチップモジュールの小型化（高密度実装化）、信頼性や機能の向上を図る。

【解決手段】 絶縁膜と導電性膜の積層や加工を交互に繰り返すことにより配線が形成されたビルドアップ基板部 1 b を有する配線基板 1 の上部にマイコンチップ 2 C のバンプ電極 B C が形成されている面を下側としてフェイスダウンボンディングし、その上部に、メモリチップ 2 A および 2 B をそれぞれボンディングパッド P B 等が形成されている面を上側として接着し、ボンディングパッド P B 等を、配線基板 1 の辺に沿ったボンディングパッド P 2 と導電性ワイヤ 1 0 で接続する。このように多機能で端子数の多いマイコンチップ 2 C を下層に配置することで、装置の小型化等を図ることができる。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2003- 65891

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【提出物件の目録】

【包括委任状番号】 0308729

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 4 - 7 1 7 6 7 号 同日提出の出願人名
義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 6 5 8 9 1
受付番号	5 0 3 0 1 1 9 5 0 1 3
書類名	出願人名義変更届（一般承継）
担当官	鈴木 夏生 6 8 9 0
作成日	平成 1 5 年 9 月 3 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 7 月 18 日

特願 2 0 0 3 - 0 6 5 8 9 1

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 3 - 0 6 5 8 9 1

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ